

DERWENT-ACC-NO: 1996-249127
DERWENT-WEEK: 199625
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device mfg method - involves forming passivation film on surface of second plasma TEOS film

PATENT-ASSIGNEE: RICOH KK[RICO]

PRIORITY-DATA: 1994JP-0237367 (September 30, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP 08102489 A	April 16, 1996	N/A	007
H01L 021/768			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP08102489A	N/A	1994JP-0237367
September 30, 1994		

INT-CL (IPC): H01L021/265; H01L021/316 ; H01L021/768

ABSTRACTED-PUB-NO: JP08102489A

BASIC-ABSTRACT: The mfg method involves patterning of an interlayer insulating film (6) at an element domain formed by a substrate (1). Then a wiring pattern (7) is formed at the element domain and on the insulating film. A first plasma TEOS film (8) is then formed on whole upper surface. An ion implantation is then performed on first plasma TEOS film by using silicon ions (9).

A dangling bond domain (10) is thus formed by the first plasma TEOS film. Then an ozone TEOS film (11), a second plasma TEOS film (12) and a passivation film (13) are sequentially layered on the first plasma TEOS film.

ADVANTAGE - Prevents moisture diffusion during fabrication. Increases speed of operation of circuit. Prevents entry of impurities. Increases productivity.

CHOSEN-DRAWING: Dwg.1/7

TITLE-TERMS:

SEMICONDUCTOR DEVICE MANUFACTURE METHOD FORMING PASSIVATION FILM
SURFACE SECOND
PLASMA FILM

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C02B; L04-C10A; L04-C12;

EPI-CODES: U11-C05B7; U11-C05B9;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1996-078918

Non-CPI Secondary Accession Numbers: N1996-209380

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102489

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768				
21/265				
21/316	M			
			H 0 1 L 21/ 90	P
			21/ 265	R
審査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平6-237367

(22) 出願日 平成6年(1994)9月30日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 楠 雅統

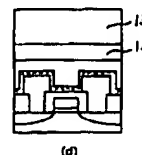
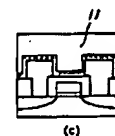
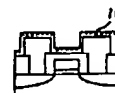
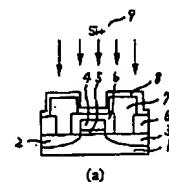
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【目的】 水分を含む層間絶縁膜からの水分拡散による半導体素子の劣化を抑制し、かつ生産性の高い半導体装置の製造方法および半導体装置を提供する。

【構成】 半導体基板に形成された素子領域上にパターンニングされた第1の層間絶縁膜と配線膜を形成し、その上に第2の層間絶縁膜を形成して表面近傍にこの層間絶縁膜の構成原子の未結合手を形成するイオンを注入し、さらにその上に水分を含む第3の層間絶縁膜を形成することにより、水分拡散防止のために第3の層間絶縁膜の下層にECR-SiO膜を形成する場合の欠点を除去し、かつそれと同等の高い水分透過抑止効果を有する層間絶縁膜構成を実現させることができる。



【特許請求の範囲】

【請求項1】半導体基板に形成された素子領域上に第1の層間絶縁膜を形成してパターンニングする工程と、前記素子領域及び第1の層間絶縁膜上に配線膜を形成してパターンニングする工程と、前記パターンニングされた第1の層間絶縁膜及び配線膜上に第2の層間絶縁膜を形成する工程と、前記第2の層間絶縁膜の表面近傍にこの層間絶縁膜の構成原子の未結合手を形成するイオン注入工程と、前記第2の層間絶縁膜上に第3の層間絶縁膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】前記イオン注入工程は前記半導体基板に対して斜めから注入する斜めイオン注入であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記イオン注入工程で用いるイオンは前記第2の層間絶縁膜の構成原子と同種のイオンであることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】半導体基板に形成された素子領域上に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜の表面近傍にこの層間絶縁膜の構成原子の未結合手を形成するイオン注入工程と、前記第1の層間絶縁膜をパターンニングする工程と、前記素子領域及び第1の層間絶縁膜上に配線膜を形成してパターンニングする工程と、前記パターンニングされた第1の層間絶縁膜及び配線膜上に第2の層間絶縁膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項5】前記イオン注入工程で用いるイオンは前記第1の層間絶縁膜の構成原子と同種のイオンであることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】前記イオン注入工程で用いるイオンはフッ素であり、イオン注入工程の後に前記第1の層間絶縁膜を熱処理する工程を含むことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項7】半導体基板に形成された素子領域上の第1の層間絶縁膜と、前記素子領域及び第1の層間絶縁膜上の配線膜と、前記第1の層間絶縁膜及び配線膜上の第2の層間絶縁膜であって表面近傍にこの層間絶縁膜の構成原子の未結合手を形成するイオンを注入した第2の層間絶縁膜と、前記第2の層間絶縁膜上の第3の層間絶縁膜を含むことを特徴とする半導体装置。

【請求項8】半導体基板に形成された素子領域上の第1の層間絶縁膜であって表面近傍にこの層間絶縁膜の構成原子の未結合手を形成するイオンを注入した第1の層間絶縁膜と、前記素子領域及び第1の層間絶縁膜上の配線膜と、前記第1の層間絶縁膜及び配線膜上の第2の層間絶縁膜を含むことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法お

よびその製造方法を用いて作製された半導体装置に関し、特に配線工程で形成された水分を含む層間絶縁膜からの水分拡散による半導体素子の劣化を抑制した半導体装置の製造方法および半導体装置に関する。

【0002】

【従来の技術】集積回路装置のデザインルールが微細化されるに従って、層間絶縁膜は微細で高アスペクト比の溝、あるいは配線間の間隙を空隙(ボイド)なく埋め込むことが要求されている。その要求を比較的満足させる方法として注目されているのが主に O_3 とTEOSを原料とした常圧CVD法による層間絶縁膜(以下 O_3 -TEOS膜という)である。しかしこの膜は、膜中に大量の水分を含むためホットキャリアによる半導体素子の劣化が増速し、著しくその信頼性を低下させている。

【0003】この問題に対して特開平5-198690号公報においては、配線膜形成後に O_3 -TEOS膜を形成する場合に、 O_3 -TEOS膜の直下に水分透過抑制効果の高いバイアスECR-CVD法による SiO_2 膜(以下ECR- SiO_2 膜という)を形成することにより、 O_3 -TEOS膜下への膜中からの水分拡散を抑制して半導体素子の劣化を O_3 -TEOS膜を用いない場合と同程度まで改善できることを示している。また、同様の技術が「IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 40, NO. 9, SEPTEMBER 1993」の第1682-1687頁にも記載されている。

【0004】図5は特開平5-198690号公報に記載された方法で作製した O_3 -TEOS膜の膜中水分によるホットキャリア劣化の少ないMOSデバイスの断面構造を示し、図中1はSi基板、2はソース領域、3はドレイン領域、4はゲート電極、5はゲート絶縁膜、6は第1の層間絶縁膜、7は配線膜、18はECR- SiO_2 膜、11は O_3 -TEOS膜、19はECR- SiO_2 膜(パッシベーション膜)である。ここで特に斜線部で示すECR- SiO_2 膜18を O_3 -TEOS膜11の直下に形成しているところに特徴がある。図6はECR- SiO_2 膜を用いた従来の各種のMOSデバイスの断面構造であり、(I)は配線膜7の直上に O_3 -TEOS膜11(膜厚 $1\mu m$)とパッシベーション膜としてのECR- SiO_2 膜19(膜厚 $0.1\mu m$)を積層したもの、(II)は配線膜7の直上にECR- SiO_2 膜18(膜厚 $0.3\mu m$)を介して O_3 -TEOS膜11(膜厚 $1\mu m$)とパッシベーション膜としてのECR- SiO_2 膜19(膜厚 $0.1\mu m$)を積層したもの、(III)は配線膜7の直上にECR- SiO_2 膜19(膜厚 $0.5\mu m$)を形成したものである。

【0005】図6に示したMOSデバイスのサンプルを用いてそのホットキャリア劣化を測定したところ、図7のようになった。図7において横軸は劣化時の基板電流 I_{sub}/Wg ($\mu A/\mu m$)、縦軸はライフタイム

(MIN)である。ライフタイムとしては相互コンダクタンス(Gm)の変化が初期値に対して10%に至るまでの時間と定義している。なおここで評価デバイスとしては、NMOS、LDD構造を用いて、そのゲート長を0.5 μ m、ゲート幅を20 μ mとした。これらから図6の(I)のMOSデバイスは(II)、(III)のMOSデバイスよりも明らかに劣化しやすく、(II)と(III)はほぼ同等であることがわかる。従って、O₃-TEOS膜11と配線膜7の間にECR-SiO₂膜18を形成することによりホットキャリア劣化は抑制されることがわかる。これはO₃-TEOS膜11中から拡散した水分がECR-SiO₂膜18の構成原子の未結合手(ダングリングボンド)に捕獲されてO₃-TEOS膜11の下方へ拡散しにくくなることにより、水分によるMOSデバイスのホットキャリア劣化の増速が抑えられたためである。

【0006】

【発明が解決しようとする課題】しかしながら、O₃-TEOS膜の直下にECR-SiO₂膜を形成することによりホットキャリアによる半導体素子の劣化を抑制する従来の製造方法では、ウェハ面内のECR-SiO₂膜の膜厚、膜質のばらつきが大きいために、完成された半導体装置の特性が劣化するという問題点がある。また、成膜装置のメンテナンス性が悪く、特に発生したパーティクル除去に関するスループットの低下などにより生産性が良くないという問題点もある。

【0007】本発明は上記従来の技術の問題点を解決するためになされたものであり、ECR-SiO₂膜を用いずに配線工程で形成された水分を含む層間絶縁膜(O₃-TEOS膜など)からの水分拡散による半導体素子の劣化を抑制でき、かつ生産性の高い半導体装置の製造方法及び半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上述した目的を達成するために、本発明の半導体装置の製造方法は、半導体基板に形成された素子領域上に第1の層間絶縁膜を形成してパターニングする工程と、素子領域及び第1の層間絶縁膜上に配線膜を形成してパターニングする工程と、パターニングされた第1の層間絶縁膜及び配線膜上に第2の層間絶縁膜を形成する工程と、第2の層間絶縁膜の表面近傍にこの層間絶縁膜の構成原子の未結合手を形成するイオン注入工程と、第2の層間絶縁膜上に第3の層間絶縁膜を形成する工程を含むことを主な特徴とする。

【0009】また本発明の半導体装置の製造方法は、半導体基板に形成された素子領域上に第1の層間絶縁膜を形成する工程と、第1の層間絶縁膜の表面近傍にこの層間絶縁膜の構成原子の未結合手を形成するイオン注入工程と、第1の層間絶縁膜をパターニングする工程と、素子領域及び第1の層間絶縁膜上に配線膜を形成してパターニングする工程と、パターニングされた第1の層間絶

縁膜及び配線膜上に第2の層間絶縁膜を形成する工程を含むことを主な特徴とする。

【0010】

【作用】本発明の半導体装置の製造方法を用いれば、半導体装置の劣化を抑制でき、かつ生産性が高い、すなわちスループットの低下や歩留低下なく半導体装置を製造することができる。

【0011】

【実施例】以下本発明を実施例を用いてより詳細に説明する。

(実施例1) 図1は本発明の第1の実施例である半導体装置の製造方法であり、主に第2の層間絶縁膜を形成する工程以降を示している。本実施例ではまず図1(a)に示すように、半導体基板1上にソース領域2、ドレイン領域3、ゲート電極4、ゲート酸化膜5からなるMOSトランジスタを形成する。続いて第1の層間絶縁膜6を形成してパターニングし、さらに配線膜7を形成してパターニングする。ここまでは公知の技術により形成できる。そして、主にTEOSとO₂を原料としたプラズマCVD法により第1のプラズマTEOS膜8を約1000~2000Å堆積させ、その後濃度 $1 \times 10^{11} \sim 1 \times 10^{12} \text{ cm}^{-2}$ のシリコンイオン9を基板1に対して垂直方向から注入することにより、図1(b)に示すように主として第1のプラズマTEOS膜8の平坦な部分の表面近傍に未結合手(ダングリングボンド)領域10を形成する。その後図1(c)に示すようにO₃-TEOS膜11を約4000~6000Å堆積させ、SOG膜を堆積し、バーク、エッチバックをして平坦化する。そして図1(d)に示すように第2のプラズマTEOS膜12を約3000~4000Å堆積させ、最後にパッシベーション膜13をプラズマSiN膜、PSG膜の層構成で形成して水素雰囲気中400℃30分の熱処理を行なう。このようにして作製したサンプルをサンプルAとする。

【0012】比較のためのサンプルとして、第1のプラズマTEOS膜8表面へのイオン注入工程のみを省き、その他は同じプロセスを経たサンプルも同時に作製する。このようにして作製したサンプルをサンプルBとする。

【0013】次に上述したサンプルA、サンプルBの評価として、それぞれのサンプルにおけるMOSトランジスタ(NMOS、LDD構造、ゲート長0.5 μ m、ゲート幅20 μ m)の基板電流が最大となるゲート電圧、ドレイン電圧のいくつかの組合せの条件下でホットキャリア劣化させた結果を図4に示す。図4においては、相互コンダクタンス(Gm)の変化が初期値に対して10%に至るまでの時間をライフタイムと定義して、劣化時の基板電流 I_{sub}/W_g ($\mu\text{A}/\mu\text{m}$)に対するライフタイム(MIN)をプロットしている。図4により同じ基板電流に対して、サンプルAの方がサンプルBより

も劣化しにくいことがわかる。

【0014】なおここで用いるイオン注入工程は、基板に対して斜めから注入してもよい。この斜めイオン注入を行なうことによって、配線の側壁部にも十分イオン注入されて未結合手（ダングリングボンド）が形成されるので、側壁部からの水分拡散を防止でき、真上からの注入よりもさらに半導体素子の劣化を抑制することができる。また注入イオン種は第2の層間絶縁膜の構成原子と同じであればなお良い。すなわち、例えば本実施例のように第2の層間絶縁膜がプラズマTEOS膜である場合にはその構成原子はシリコンと酸素であるので、シリコン、酸素もしくはシリコンと酸素の化合物であるのが好ましい。このようにすることにより層間絶縁膜には不所望の不純物が入り込まず、層間絶縁膜の膜質が変化しないという効果があるためである。しかし注入量はさほど多くなくても注入エネルギーがある程度大きければ所望の効果は得られるので、注入イオン種の制限はない。上述した斜めイオン注入を用いた例を、以下に実施例2として説明する。

【0015】（実施例2）図2は本発明の第2の実施例である半導体装置の製造方法であり、主に第2の層間絶縁膜を形成する工程以降を示している。本実施例ではまず実施例1と同様にしてMOSTランジスタとパターニングされた第1の層間絶縁膜6および配線膜7を形成する。次に図2（a）に示すように、主にTEOSとO₂を原料としたプラズマCVD法により第1のプラズマTEOS膜8を約1000～2000Å堆積させ、その後濃度 $1 \times 10^{11} \sim 1 \times 10^{12} \text{ cm}^{-2}$ の酸素イオン14を基板1に対して図のように斜め約45°の方向から注入することにより、図2（b）に示すように第1のプラズマTEOS膜8の平坦な部分の他に第1のプラズマTEOS膜8の側壁部の表面近傍にも未結合手（ダングリングボンド）領域15を形成する。斜めイオン注入の角度は約45°に限定されるものではなく、第1のプラズマTEOS膜8の側壁部の表面近傍にも未結合手（ダングリングボンド）領域が形成される角度であればよい。その後図2（c）に示すようにO₃-TEOS膜11を約4000～6000Å堆積させ、SOG膜を堆積し、ベーク、エッチバックをして平坦化する。そして図2（d）に示すように第2のプラズマTEOS膜12を約3000～4000Å堆積させ、最後に図2（d）に示すようにパッシベーション膜13をプラズマSiN膜、PSG膜の層構成で形成して水素雰囲気中で400℃30分の熱処理を行なう。このようにして作製したサンプルをサンプルCとする。

【0016】次に評価としてサンプルA、サンプルBと同様に、MOSTランジスタ（NMOS、LDD構造、ゲート長0.5μm、ゲート幅20μm）の基板電流が最大となるゲート電圧、ドレイン電圧のいくつかの組合

果を図4に示す。図4により同じ基板電流に対して、サンプルCの方がサンプルBよりも劣化しにくく、さらにサンプルAよりも劣化しにくいことがわかる。

【0017】（実施例3）図3は本発明の第3の実施例である半導体装置の製造方法であり、主に第1の層間絶縁膜を形成する工程以降を示している。本実施例ではまず実施例1と同様にしてMOSTランジスタを形成する。続いて図3（a）に示すように第1の層間絶縁膜6を形成した後に、濃度 $5 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ のフッ素イオン16を基板1に対して垂直方向から注入することにより、図3（b）に示すように主として第1の層間絶縁膜6の表面近傍に未結合手（ダングリングボンド）17を形成する。イオン注入を行なった後に第1の層間絶縁膜6を熱処理すると尚好ましい。その後図3（c）に示すように公知の技術により配線膜7を形成してパターニングする工程を経て、主にTEOSとO₂を原料としたプラズマCVD法により第1のプラズマTEOS膜8を約1000～2000Å堆積する。その後O₃-TEOS膜11を約4000～6000Å堆積させ、SOG膜を堆積し、ベーク、エッチバックをして平坦化する。そして図3（d）に示すように第2のプラズマTEOS膜12を約3000～4000Å堆積させ、最後にパッシベーション膜13をプラズマSiN膜、PSG膜の層構成で形成して水素雰囲気中で400℃30分の熱処理を行なう。このようにして作製したサンプルをサンプルDとする。

【0018】次に評価としてサンプルA、サンプルB、サンプルCと同様に、MOSTランジスタ（NMOS、LDD構造、ゲート長0.5μm、ゲート幅20μm）の基板電流が最大となるゲート電圧、ドレイン電圧のいくつかの組合せの条件下でサンプルDをホットキャリア劣化させた結果を図4に示す。図4により同じ基板電流に対して、サンプルDの方がサンプルBよりも劣化しにくく、サンプルAと同程度の劣化であることがわかる。

【0019】ここで注入イオン種は上述した第1の実施例と同様にイオン注入される層間絶縁膜の構成原子と同じであればなお良いが、注入量はさほど多くなくても注入エネルギーがある程度大きければ所望の効果は得られるので、注入イオン種の制限はない。さらに注入イオン種をフッ素にすることで、フッ素が注入後の熱処理工程で第1の層間絶縁膜6全体に拡散して層間絶縁膜中の原子ネットワークに取り込まれることにより、層間絶縁膜の誘電率を低下させ、層間膜容量の減少を生み、MOSデバイスの高速動作に寄与する効果もある。

【0020】ここでさらに層間膜容量を比較するためのサンプルとして、第1の層間絶縁膜6表面へのイオン注入工程のみを省き、その他は同じプロセスを経たサンプルも同時に作製する。このようにして作製したサンプルをサンプルEとする。そしてサンプルDとサンプルEの第1の層間絶縁膜6の層間膜容量を測定したところ、サ

ンブルDの方がサンプルEよりも約20%層間膜容量が小さくなっていることが確認された。

【0021】(実施例4)さらに実施例2の方法を基礎として、設計ルールが0.35 μ mのリングオシレータを作製した。10000秒の実動作をさせた後のリングオシレータを構成する単体MOSTランジスタ(NNMOS、ゲート長0.35 μ m、ゲート幅1 μ m)のGm劣化量を測定すると、上述したサンプルBの方法を用いて作製したリングオシレータよりも1桁Gm劣化量が小さくなっていることが確認された。

【0022】なお本発明によればO₃-TEOS膜の直下にECR-SiO膜を形成しなくても水分透過抑止効果の高い膜を形成することができるが、その膜は以下の実験により高い水分透過抑止効果があることが確認されている。

【0023】まず4種類のサンプルを以下のように作製した。

(表1)

サンプル	スピン濃度 ($\times 10^{18}$ spin/cm ³)
サンプル (1)	1.7
サンプル (2)	23
サンプル (3)	0.69
サンプル (4)	検出限界 (1×10^{16}) 以下

【0025】表1より、サンプル(2)はサンプル(1)よりもスピン濃度が約1桁大きくなっていることがわかる。これは注入イオンが膜構成原子と衝突してノックオン現象を起こすことにより未結合手(ダングリングボンド)を生成し、スピン濃度が増加しているものと考えられる。また、サンプル(3)はサンプル(2)よりもスピン濃度が約2桁小さくなっていることがわかる。サンプル(4)のスピン濃度が検出限界以下であることを考慮すると、検出されているスピン濃度は主にプラズマTEOS膜中のものであり、スピン濃度の低下はO₃-TEOS膜中の水分がI²プラズマTEOS膜中の未結合手(ダングリングボンド)に捕獲されたためと考えることができる。

【0026】本発明は素子領域にMISFET(Metal-Insulator-Semiconductor-Field-Effect-Transistor)を形成する場合に、微細化の進んだ半導体高集積回路装置が得られるために特に有効であるが、これに限定されるのではなく、本発明の趣旨を逸脱しない範囲で他の素子を形成した場合にも適用することができる。

【0027】

* サンプル(1): アズデボプラズマTEOS膜(1500Å)/Si基板

サンプル(2): I²プラズマTEOS膜(1500Å)/Si基板

サンプル(3): O₃-TEOS膜(5000Å)/I²プラズマTEOS膜(1500Å)/Si基板

サンプル(4): O₃-TEOS膜(5000Å)/Si基板

なお、/は各膜の積層関係を示している。ここでサンプル(1)のプラズマTEOS膜はアズデボ膜であるが、サンプル(2)、(3)のプラズマTEOS膜は、膜上に基板に対して垂直方向から 5×10^{11} cm⁻²のシリコンイオンを注入している。またサンプル(3)、(4)は基板温度400℃でO₃-TEOS膜を堆積させている。上記4サンプルに対してESRにより膜中のスピン濃度を測定した結果、表1のような結果を得た。

【0024】

*

30【発明の効果】本発明によれば、従来のプロセス技術および成膜装置を用いて水分を含む層間絶縁膜(O₃-TEOS膜など)の下層にECR-SiO膜を形成した場合と同等の高い水分透過抑止効果を有する層間絶縁膜構成を実現させることができる。したがって、完成された半導体装置の劣化を抑制でき、かつ生産性が高い、すなわちスルーputの低下や歩留低下のない半導体装置の製造が可能になる。

【0028】また本発明によれば、半導体基板に対して斜めからイオン注入するので、パターニングされた配線膜の側壁部分にもイオンが注入されて側壁部分にも未結合手が形成されるため、側壁部分からの水分拡散も防止できる。

【0029】さらに本発明によれば、イオン注入工程で用いるイオンは、注入される層間絶縁膜の構成原子と同種のイオンであるため、層間絶縁膜には不所望の不純物が入り込まず、層間絶縁膜の膜質が変化しない。

【0030】さらに本発明によれば、イオン注入工程で用いるイオンはフッ素であるため、フッ素が注入後の熱工程で第1の層間絶縁膜中に拡散し層間絶縁膜中の原子ネットワークに取り込まれることにより、層間絶縁膜の

※50

誘電率を低下させ層間膜容量の減少を生むので、高速動作に寄与する。

【図面の簡単な説明】

【図1】本発明の実施例である半導体装置の製造方法である。

【図2】本発明の他の実施例である半導体装置の製造方法である。

【図3】本発明のさらに他の実施例である半導体装置の製造方法である。

【図4】本発明を用いて作製した半導体装置と従来の技術を用いて作製した半導体装置の劣化時の基板電流に対するライフタイムを示す図である。

【図5】従来の技術を用いて作製したMOSデバイスの断面図である。

【図6】他の従来の技術を用いて作製したMOSデバイ

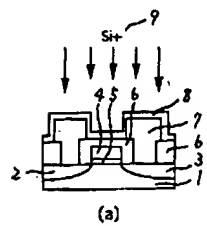
スの断面図である。

【図7】図6の各MOSデバイスのホットキャリア劣化測定結果である。

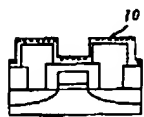
【符号の説明】

- | | |
|----------|-----------------------|
| 6 | 第1の層間絶縁膜 |
| 7 | 配線膜 |
| 8 | 第1のプラズマTEOS膜 |
| 9 | シリコンイオン |
| 10、15、17 | 未結合手（ダングリングボンド）領域 |
| 11 | O ₃ -TEOS膜 |
| 12 | 第2のプラズマTEOS膜 |
| 13 | パッシベーション膜 |
| 14 | 酸素イオン |
| 16 | フッ素イオン |

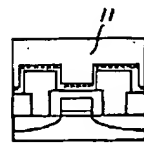
【図1】



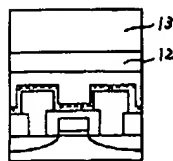
(a)



(b)

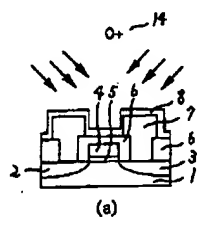


(c)

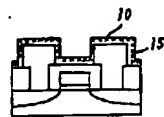


(d)

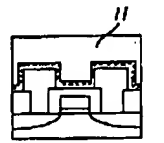
【図2】



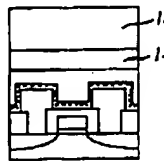
(a)



(b)

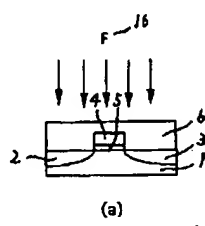


(c)

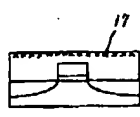


(d)

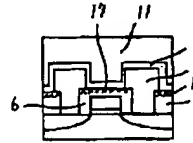
【図3】



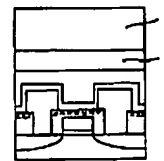
(a)



(b)

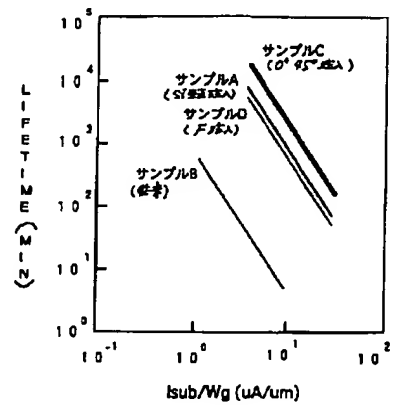


(c)

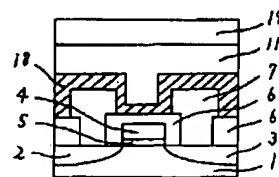


(d)

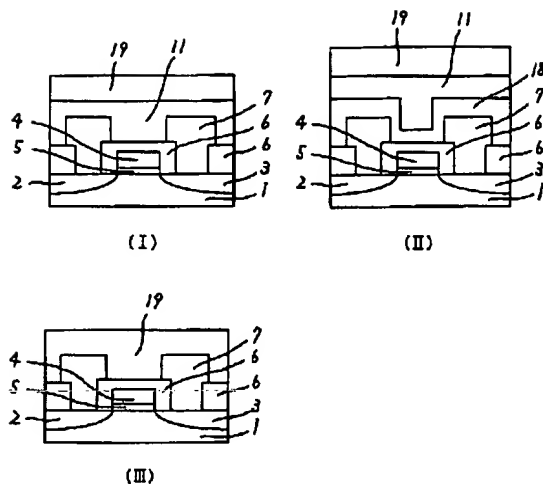
【図4】



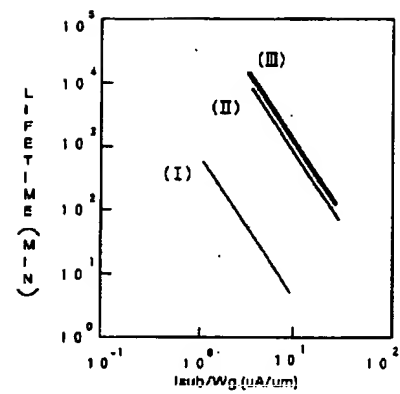
【図5】



【図6】



【図7】



フロントページの続き

(51)Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/90

K